实验2.1 基础实验

1. 拨码开关与 LED 灯
2. 实验目的

熟悉 Vivado 的开发环境及开发流程，掌握 Vivado 中 Verilog HDL 文本输入设计方法，包括仿真、综合、实现与下载。熟悉 Minisys 开发板的功能和使用方法。

1. 实验设备

Minisys实验板：Minisys 实验板是一个以 Xilinx Artix-7 TM 系列 FPGA（XC7A100T FGG484C-1）为主芯片的可用于“数字电路”、“组成原理”等多门课程的实验平台。

Vivado 2015.4。

1. 实验步骤
2. 创建一个项目：选择器件为 xc7a100tfgg484-1。不需要增加源文件，不增加 IP 核，不增加约束文件。
3. 添加源代码：添加一个23个输入管脚和23个输出管脚的文件，输入这个模块的代码。
4. 仿真：注意这里不需要添加管脚。输入这个模块的代码，Sw初始化为0。点击 Run Simulation进行仿真
5. 点击 Run Synthesis然后进行管脚的分配。
6. 管脚分配，然后选择 File->Close Synthesized Design 关闭综合设计窗口。
7. 实现：点击Run Implementation来对设计进行实现。选择Generate Bitstream
8. 产生比特流文件并下载：选中 Open Hardware Manager，， 打开 Minisys板的电源。点击 Program devices->xc7a100t\_0。出现的 Program Device 窗口中点击Program。
9. 总结在VIvado中实现一个project的步骤和遇到的问题、如何解决
10. 实现一个project的步骤

创建一个项目，添加源代码，仿真，管脚的分配，生成比特流文件，下载到Minisys实验板上。

1. 遇到的问题及解决

文件报错：需要仔细检查代码，尤其注意不要重复输入`timescale 1ns / 1ps，因为在注释前面的第一行已经有这句话了。